

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

**Defective images within this document are accurate representations of
the original documents submitted by the applicant.**

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

#3/Priority
Paper
10/8/02
VS
RECEIVED
OCT - 1 2002
TECHNOLOGY CENTER 2800

In re PATENT APPLICATION of

Norio Hirashita et al.

Serial No.: 09/825,973

Attn: Applications Branch

Filed: April 5, 2001

Attorney Docket No.: OKI.227

For: A STRUCTURE OF A FIELD EFFECT TRANSISTOR HAVING METALLIC
SILICIDE AND MANUFACTURING METHOD THEREOF

CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
Washington, D.C. 20231

Date: September 27, 2002

Sir:

Applicants, in the above-identified application, hereby claim the priority date
under the International Convention of the following Japanese application:

Appln. No. 2000-104733 filed April 6, 2000

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, P.L.L.C.

Andrew J. Telesz, Jr.
Registration No. 33,581

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877



F-99ED0291-US

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 4月 6日

出 願 番 号

Application Number:

特願2000-104733

出 願 人

Applicant(s):

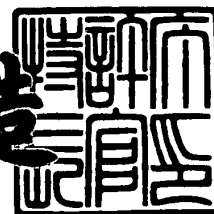
沖電気工業株式会社

RECEIVED
OCT - 1 2002
TECNOLOGY CENTER 2800

2001年 4月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3032474

【書類名】 特許願

【整理番号】 OG004331

【提出日】 平成12年 4月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/336
H01L 29/784

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 平下 紀夫

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 一森 高示

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100089093

【弁理士】

【氏名又は名称】 大西 健治

【手数料の表示】

【予納台帳番号】 004994

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9720320

特2000-104733

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電界効果トランジスタおよびその製造方法

【特許請求の範囲】

【請求項1】 絶縁層上に形成され、チャネル領域を有する半導体層と、
前記半導体層内に形成され、前記チャネル領域に隣接して配置された拡散層と、
、
端部が前記拡散層と電氣的に接続され、底部が前記絶縁層に達するように形成
された金属シリサイド層とを備えた電界効果トランジスタであって、
前記金属シリサイド層を構成する組成比は、
金属：シリコン＝1：1/c・A（Aは自然数、かつ、 $1 < c < A$ ）を満たす
ことを特徴とする電界効果トランジスタ。

【請求項2】 前記電界効果トランジスタは、完全空乏型であることを特徴
とする請求項1記載の電界効果トランジスタ。

【請求項3】 絶縁層上に形成され、チャネル領域を有する半導体層と、
前記半導体層内に形成され、前記チャネル領域に隣接して配置された拡散層と
、
端部が前記拡散層と電氣的に接続され、底部が前記絶縁層に達するように形成
されたコバルトシリサイド層とを備えた電界効果トランジスタであって、
前記コバルトシリサイド層を構成する組成比は、
コバルト：シリコン＝1：X（ $1 < X < 2$ ）を満たすことを特徴とする電界効
果トランジスタ。

【請求項4】 前記電界効果トランジスタは、完全空乏型であることを特徴
とする請求項3記載の電界効果トランジスタ。

【請求項5】 絶縁層上に形成され、チャネル領域を有する半導体層と、
前記半導体層内に形成され、前記チャネル領域に隣接して配置された拡散層と
、
前記チャネル領域と前記拡散層との接合端から所定距離離間して形成された金
属シリサイド層とを備えた電界効果トランジスタであって、
前記金属シリサイド層は、前記金属シリサイド層の上表面から前記絶縁層まで

の80%以上を占めるとともに、

前記金属シリサイド層を構成する組成比は、金属：シリコン＝ $1 : 1/c \cdot A$ （ A は自然数、かつ、 $1 < c < A$ ）を満たすことを特徴とする電界効果トランジスタ。

【請求項6】 前記電界効果トランジスタは、完全空乏型であることを特徴とする請求項5記載の電界効果トランジスタ。

【請求項7】 絶縁層上に形成され、チャネル領域を有する半導体層と、前記半導体層内に形成され、前記チャネル領域に隣接して配置された拡散層と

前記チャネル領域と前記拡散層との接合端から所定距離離間して形成されたコバルトシリサイド層とを備えた電界効果トランジスタであって、

前記コバルトシリサイド層は、前記コバルトシリサイド層の上表面から前記絶縁層までの80%以上を占めるとともに、

前記コバルトシリサイド層を構成する組成比は、コバルト：シリコン＝ $1 : X$ （ $1 < X < 2$ ）を満たすことを特徴とする電界効果トランジスタ。

【請求項8】 前記電界効果トランジスタは、完全空乏型であることを特徴とする請求項7記載の電界効果トランジスタ。

【請求項9】 絶縁層上に半導体層が形成された基板を準備する工程と、

前記半導体層中のチャネル形成予定領域上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極の側面に絶縁性サイドウォールを形成する工程と、

前記チャネル形成予定領域に隣接するように、前記半導体層中に拡散層を形成する工程と、

第1の熱処理を施すことにより、前記チャネル形成予定領域と前記拡散層との接合端から所定距離離間した前記拡散層の上表面に第1の金属シリサイド層を形成する工程と、

金属シリサイド層を構成する組成比が、金属：シリコン＝ $1 : 1/c \cdot A$ （ A は自然数、かつ、 $1 < c < A$ ）を満たすまで第2の熱処理を施すことにより、第2の金属シリサイド層を形成する工程とを有することを特徴とする電界効果トラ

ンジスタの製造方法。

【請求項 10】 前記第 2 の金属シリサイド層の底部は、前記絶縁層まで達することを特徴とする請求項 9 記載の電界効果トランジスタの製造方法。

【請求項 11】 前記第 2 の金属シリサイド層は、前記金属シリサイド層の上表面から前記絶縁層までの 80% 以上を占めることを特徴とする請求項 9 記載の電界効果トランジスタ。

【請求項 12】 絶縁層上に半導体層が形成された基板を準備する工程と、前記半導体層中のチャネル形成予定領域上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極の側面に絶縁性サイドウォールを形成する工程と、

前記チャネル形成予定領域に隣接するように、前記半導体層中に拡散層を形成する工程と、

第 1 の熱処理を施すことにより、前記チャネル形成予定領域と前記拡散層との接合端から所定距離離間した前記拡散層の上表面に第 1 のコバルトシリサイド層を形成する工程と、

コバルトシリサイド層を構成する組成比が、コバルト：シリコン = 1 : X ($1 < X < 2$) を満たすまで第 2 の熱処理を施すことにより、第 2 のコバルトシリサイド層を形成する工程とを有することを特徴とする電界効果トランジスタの製造方法。

【請求項 13】 前記第 2 のコバルトシリサイド層の底部は、前記絶縁層まで達することを特徴とする請求項 12 記載の電界効果トランジスタの製造方法。

【請求項 14】 前記第 2 のコバルトシリサイド層は、前記金属シリサイド層の上表面から前記絶縁層までの 80% 以上を占めることを特徴とする請求項 12 記載の電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、絶縁性基板上や SOI (Silicon on insulator) 基板上に形成された電界効果トランジスタ (FET: Field Effect Transistor) およびその製造

方法に関するものである。

【0002】

【従来の技術】

近年、従来のバルク半導体基板に代わり、SOI基板上に電界効果トランジスタを形成することが行なわれている。SOI-FETは、絶縁性基板上的のシリコン薄膜にFETを形成したものであり、接合容量の低減による動作速度の高速化や素子分離の容易化等のメリットがある。中でも、薄膜SOI層上に形成した完全空乏型SOI-FETは、寄生容量が小さく、バルク基板に比べてサブスレッショルド係数 (Subthreshold Swing) が小さい (急峻である) ため、低消費電力デバイスとして注目されている。完全空乏型SOI-FETは、チャネル空乏層幅がSOI層膜厚で決まるため短チャネル効果抑制等のメリットがある。これらのメリットを有するSOI-FETの完全空乏動作を実現するためには、デバイスの微細化に伴ってSOI層膜厚を薄膜化する必要がある。

【0003】

低消費電力デバイスについて、例えば、文献1:「極薄膜SOI層を有する超低消費電力用ディープサブ0.1 μm MOSFET (電子情報通信学会論文誌 C-I I Vol. J81-C-I I No.3 pp.313-319 1998年3月) には、次のように紹介されている。ゲート長が0.35 μm 、0.25 μm 、0.18 μm とスケールングされるに従い、SOI層膜厚は60 nm、50 nm、40 nm 弱と薄膜化されてきている。ゲート長が0.1 μm 世代では、SOI層膜厚は20 nm 未満が必要とされている。今後、更なる微細化にとも無い、より一層の薄膜化が要求される。SOI層を薄膜化した場合、ソース/ドレイン拡散層の寄生抵抗による電流駆動能力の低下が顕著である。現在では、これを回避するため、通常、チタン (Ti)、コバルト (Co) 等のシリサイド (TiSi₂、CoSi₂) を形成し低抵抗化を図っている。

【0004】

【発明が解決しようとする課題】

しかしながら、シリサイド層とシリコン間の接触抵抗率が $1 \times 10^{-7} \Omega \cdot \text{cm}^2$ を超えると、シリサイド層下の拡散層であるSOI層の膜厚が10 nm 以下では

拡散層抵抗の増大により寄生抵抗が急激に増加することが予測される。その結果、FETの電流駆動能力の低下が懸念される。このことは、例えば、文献2：「Optimization of Series Resistance in Sub-0.2 μ mSOI MOSFET's (IEEE ELECTRON DEVICE LETTERS, VOL.15, NO.9, SEPTEMBER 1994, pp.363-365)」に紹介されている。

【0005】

これまで、シリコンとの間の接触抵抗率が $1 \times 10^{-7} \Omega \cdot \text{cm}^2$ 未満の金属は見つかっていない。したがって、現在は、拡散層であるSOI層（非シリサイド層）を10nm以上残す構造の完全空乏型SOI-FETを形成することが不可欠といえる。今後、ゲート長0.18 μ m以降のデバイスでは、SOI層の膜厚が極めて薄くなり、拡散層の低抵抗化に寄与できるシリコン量そのものが少なくなる。この結果、デバイスの微細化を制限してしまうことにもなり兼ねない。

【0006】

【課題を解決するための手段】

本発明の電界効果トランジスタは、絶縁層上に形成され、チャネル領域を有する半導体層と、半導体層内に形成され、チャネル領域に隣接して配置された拡散層と、端部が拡散層と電氣的に接続され、底部が絶縁層に達するように形成された金属シリサイド層とを備え、金属シリサイド層を構成する組成比は、金属：シリコン=1:1/c・A（Aは自然数、かつ、 $1 < c < A$ ）を満たすことを特徴とするものである。

【0007】

【発明の実施の形態】

第1の実施形態

図1は、本発明の第1の実施形態を示す説明図であり、SOI構造の基板に形成された完全空乏型SOI-FETを模式的にあらわしている。SOI-FET10は、シリコン基板1上に絶縁層2を介して薄いシリコン層（SOI層）3が形成された、所謂、SOI基板上に形成されている。SOI-FET10は、フィールド酸化膜6で定義されるアクティブ領域のSOI層3上に形成され、ゲート酸化膜を介して形成されるゲート電極5備えている。サイドウォール7の下の

SOI層3には、高濃度拡散層8が形成されている。また、対向する2つの高濃度拡散層8の間には、チャネル領域が形成されている。

【0008】

サイドウォール7の下に形成された高濃度拡散層8以外の拡散層部分は、全て、金属の組成比が高い（金属リッチ）金属シリサイド9で構成されている。本実施形態では、金属シリサイド9としてコバルトシリサイド9を用いている。以後、コバルトシリサイド9は、 CoSi_x 9 ($1 < x < 2$) とあらわす。 CoSi_x 9は、サイドウォール7の下を除く、高濃度拡散層8の全層がシリサイド化されることにより形成されている。言い換えれば、 CoSi_x 9の底部は、SOI層3下の絶縁層2まで達している。また、 CoSi_x 9とSOI層3とのコンタクトは、高濃度拡散層8と CoSi_x 9間でのみ行なっている。

【0009】

先に紹介した文献2から、金属とシリコン間の接触抵抗率が $1 \times 10^{-7} \Omega \cdot \text{cm}^2$ 未満であれば、寄生抵抗の増加もなく、また、電流駆動能力の低下は起らないことが予測される。本発明の発明者は、金属の組成比が高い（金属リッチ）金属シリサイド9を用いれば、シリコンとの接触抵抗率を $1 \times 10^{-7} \Omega \cdot \text{cm}^2$ 未満にできることが見出した。以下に、その検証結果を示す。

【0010】

図3は、完全空乏型SOI-FETのドレイン電流／ドレイン電圧特性を示す説明図である。ここでは、N型FETの例を用いる。図3(a)は、従来のSOI-FETの特性を示している。従来のSOI-FETは、SOI層の膜厚が50nm、 CoSi_2 下にはSOI拡散層が10nm以上残存した構造である。図3(b)は、本実施形態のSOI-FETの特性を示している。本実施形態のSOI-FET10は、SOI層3の膜厚が20nm、サイドウォール7の幅が $0.1 \mu\text{m}$ 、サイドウォール7の下に形成された高濃度拡散層8以外の拡散層は、全て、 CoSi_x 9へシリサイド化された構造である。双方とも、ゲート長が $0.18 \mu\text{m}$ 、ゲート幅が $10 \mu\text{m}$ 、ゲート酸化膜の膜厚が4.5nmである。

【0011】

図3(a)、(b)において、ドレイン電流に差は認められない。すなわち、

本実施形態のSOI-FET構造についても、電流駆動能力の低下は発生しないということが理解される。なお、N型FETの特性を例に比較結果を示したが、P型FETについても電流駆動能力の劣化は認められない。また、SOI-FETに寄生する直列総抵抗は、N型FETに対して約 $400\Omega-\mu\text{m}$ 、P型FETに対して約 $1\text{K}\Omega-\mu\text{m}$ という値が得られた。

【0012】

次に、本実施形態のSOI-FET構造について、前述の直列総寄生抵抗から接触抵抗率を見積もる。図6は、本発明の第1の実施形態を説明するための要部拡大図であり、図1の一部を拡大したものである。図1と同じ構成については、同一の符号を付けている。評価に用いたFETは、簡素化のため、シングルドレイン構造をとっている。ゲート電極端拡散層の蓄積抵抗 R_{ac} 、拡散層の広がり抵抗 R_{sp} 、チャネル領域端部からCoSi_xまでの拡散層抵抗 R_{sh} 、CoSi_xの薄膜抵抗 R_{sh-s} 、拡散層とCoSi_xの接触抵抗 R_{co} とすると、直列総寄生抵抗 R_{tot} は、次の式で求められる。

【0013】

$$R_{tot} = 2 \times (R_{ac} + R_{sp} + R_{sh} + R_{sh-s} + R_{co})$$

ゲート電極端拡散層の蓄積抵抗 R_{ac} 、拡散層の広がり抵抗 R_{sp} 、CoSi_xの薄膜抵抗 R_{sh-s} は、比較的寄与度が小さいと考えられ、また、精度良く分離評価することが困難であるため、ここでは無視する。また、チャネル領域端部からCoSi_xまでの拡散層抵抗 R_{sh} は、サイドウォール下の高濃度拡散層抵抗とする。

【0014】

N^+ 、 P^+ の拡散層全域(=SOI層全域)に、それぞれ均一に $1 \times 10^{21}/\text{cm}^3$ と $1 \times 10^{20}/\text{cm}^3$ の不純物が分布していると仮定すると、NチャネルFETとPチャネルFETの拡散層抵抗は、それぞれ、 $80\Omega/\text{sq.}$ と $500\Omega/\text{sq.}$ になる。したがって、チャネル幅が $1\mu\text{m}$ のNチャネルFETとPチャネルFETに寄生する抵抗 R_{sh} は、それぞれ、 $8\Omega-\mu\text{m}$ と $50\Omega-\mu\text{m}$ となる。この結果、拡散層とCoSi_xの接触抵抗 R_{co} は、それぞれ、 $192\Omega-\mu\text{m}$ と $450\Omega-\mu\text{m}$ という値が得られる。これらを用いて、 N^+ 、 P^+ の拡散層と

C o S i x との接触抵抗率を求めると、それぞれ、約 $4 \times 10^{-8} \Omega\text{-cm}^2$ と $9 \times 10^{-8} \Omega\text{-cm}^2$ という値が得られる。

【0015】

実際には、ここでは無視したゲート電極端拡散層の蓄積抵抗 R_{ac} や拡散層の広がり抵抗 R_{sp} 、あるいは、C o S i x の薄膜抵抗 R_{sh-s} が加わり、接触抵抗率はさらに低くなるであろうことが期待できる。本実施形態の S O I - F E T 構造におけるシリコンと金属シリサイド (C o S i x) との接触抵抗率は、Nチャネル F E T と Pチャネル F E T とともに $1 \times 10^{-7} \Omega\text{-cm}^2$ よりはるかに小さくなる。

【0016】

図4は、完全空乏型 S O I - F E T における、しきい値電圧のドレイン電圧依存性を示す説明図である。ここでは、図3と同様に、N型 F E T の例を用いる。×印は、従来の S O I - F E T を示し、●印は、本実施形態の S O I - F E T を示している。完全空乏型 S O I - F E T は、寄生バイポーラ効果と呼ばれる一種の基板浮遊効果が発生しやすい。図4を観ると、従来の S O I - F E T は、寄生バイポーラ効果によってドレイン電圧の上昇に伴ってしきい値電圧が著しく低下している。一方、本実施形態の S O I - F E T では、ドレイン電圧の上昇に伴うしきい値電圧の低下が大きく改善されていることが解かる。すなわち、リーク電流を低減することができるのである。

【0017】

本発明の第1の実施形態によれば、電流駆動能力の低下を防止することができるとともに、デバイスの微細化を制限することのないトランジスタを提供することができる。さらに、本発明の第1の実施形態は、リーク電流を低減することができるので、低消費電力トランジスタとして有効である。

【0018】

第2の実施形態

図2は、本発明の第2の実施形態を示す説明図であり、S O I 構造の基板に形成された完全空乏型 S O I - F E T を模式的にあらわしている。第1の実施形態の図1と同一の構成については、同一の符号を付与する。S O I - F E T 20は、シリコン基板1上に絶縁層2を介して薄いシリコン層 (S O I 層) 3 が形成さ

れた、所謂、SOI基板上に形成されている。SOI-FET20は、フィールド酸化膜6で定義されるアクティブ領域のSOI層3上に形成され、ゲート酸化膜4を介して形成されるゲート電極5備えている。SOI層3には、高濃度拡散層18が形成されている。また、対向する2つの高濃度拡散層18の間には、チャネル領域が形成されている。

【0019】

高濃度拡散層18には、金属の組成比が高い（金属リッチ）金属シリサイド19が形成されている。第1の実施形態と同様、金属シリサイド19は、 CoSi_x 19（ $1 < x < 2$ ）とあらわされる。 CoSi_x 19は、サイドウォール7の下を除く高濃度拡散層18がシリサイド化されることによって形成されている。さらに、 CoSi_x 19は、 CoSi_x 19の上表面から絶縁層2までの80%以上を占めている。すなわち、 CoSi_x 19の底部と絶縁膜2との間には、高濃度拡散層18が残存している。

【0020】

従来、金属シリサイドとして CoSi_2 を用いた場合、 CoSi_2 は、 CoSi_2 の上表面からSOI基板の絶縁層までの厚みの80%より薄くなるように形成しなければならなかった。理由は、（1）金属シリサイドとシリコンとの界面にボイドが発生すること、あるいは、（2）金属シリサイドのシート抵抗の増加に起因して寄生抵抗が増加すること等によるデバイス特性の劣化を防ぐためである。関連する文献としては、例えば、「OPTIMIZATION OF SERIES RESISTANCE IN SUB-0.2 μm SOI MOSFETs (1993 IEEE, pp. IEDM 93-723~726-IEDM 93)」に紹介されている。

【0021】

本実施形態では、金属の組成比が高い金属シリサイドである CoSi_x を用いることにより、前述した（1）、（2）等によるデバイス特性を劣化させることなく、 CoSi_x を、 CoSi_x の上表面からSOI基板の絶縁層までの厚みの80%より厚く形成することが可能になった。

【0022】

本発明の第2の実施形態によれば、金属シリサイドの下に僅かなシリコンを残

存させることにより、低抵抗、かつ、安定した金属シリサイドを形成することが可能となる。

【0023】

第3の実施形態

図5(a)～図5(c)は、本発明の第3の実施形態を示す工程図である。第3の実施形態は、第1の実施形態で説明したSOI-FETを製造するための一例を示すものである。図5(a)は、シリコン層51、絶縁層52、SOI層53からなるSOI基板に形成されたSOI-FETの模式図である。通常のプロセスによって、SOI層53には、フィールド酸化膜56、高濃度拡散層58が形成されている。対向する高濃度拡散層58間には、チャネル領域が形成されている。チャネル領域上には、ゲート酸化膜54を介してゲート電極55が形成されている。さらに、シリサイド形成用金属膜としてコバルト(Co)膜60と、後の熱処理時の酸化防止膜61として、チタン(Ti)膜、あるいは、窒化チタン(TiN)膜が形成する。

【0024】

次に、第1の熱処理を施す。第1の熱処理は、比較的低温で行なう。例えば、400℃～600℃の温度のアニールにより、図5(b)に示すコバルトシリサイド層62を形成する。コバルトシリサイド層62は、ゲート電極55の上表面、および、サイドウォール57の下を除く高濃度拡散層58の上表面をシリサイド化したものである。コバルトシリサイド層62は、コバルトとシリコンの組成比がほぼ同じである CoSi や、コバルトの方が組成比が高い Co_2Si から構成される。コバルトシリサイド層62は、 Co_xSi 62 ($x \geq 1$)とあらわされる。

【0025】

ここで、コバルトシリサイド層62について、さらに詳しく説明する。第1の熱処理後、酸化防止膜61、フィールド酸化膜56およびサイドウォール57上に未反応のコバルト膜60(シリサイド化されず残存)を選択的にエッチング除去する。エッチングは、通常用いられる薬液である、硫酸過酸化水溶液やアンモニア過酸化水溶液等によって行なう。この結果、ゲート電極55上および拡散層

58にのみコバルトシリサイド層62が形成する。

【0026】

次に、 Co_xSi_6 2表面を層間絶縁膜で覆った後、 Co_xSi_6 2表面に達するコンタクトホールを開口する工程があるが、図示およびその詳細な説明は省略する。

【0027】

その後、第2の熱処理を施す。第2の熱処理は、例えば、700℃以上の温度で30秒程度のアニールにより、図5(c)に示すコバルトシリサイド層63を形成する。コバルトシリサイド層63は、ゲート電極55の上表面、および、サイドウォール57の下を除く高濃度拡散層58の全てをシリサイド化したものである。コバルトシリサイド層63は、 Co_xSi_6 2より低抵抗な CoSi_x 63 ($1 < x < 2$) である。

【0028】

なお、本実施形態は、第1の実施形態のSOI-FETの製造プロセスの一例を紹介したが、当然、第2の実施形態のSOI-FETの製造プロセスに適用可能である。

【0029】

【発明の効果】

本発明の電界効果トランジスタは、電流駆動能力の低下を防止することができるとともに、デバイスの微細化を制限することのないトランジスタを提供することができる。また、トランジスタがオフの時のリーク電流を低減することができるので、低消費電力トランジスタとして有効である。さらに、本発明は、金属シリサイドの下に僅かなシリコンを残存させることにより、低抵抗、かつ、安定した金属シリサイドを形成することが可能となる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態を示す説明図である。

【図2】

本発明の第2の実施形態を示す説明図である。

【図3】

完全空乏型SOI-FETのドレイン電流／ドレイン電圧特性を示す説明図である。

【図4】

完全空乏型SOI-FETにおける、しきい値電圧のドレイン電圧依存性を示す説明図である。

【図5】

本発明の第3の実施形態を示す工程図である。

【図6】

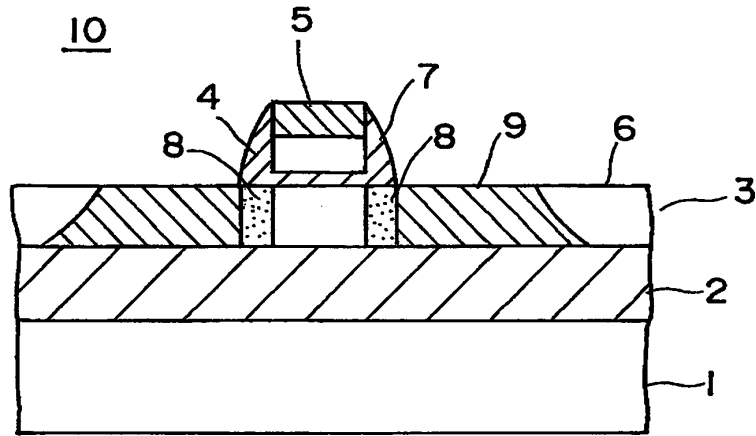
本発明の第1の実施形態を説明するための要部拡大図である。

【符号の説明】

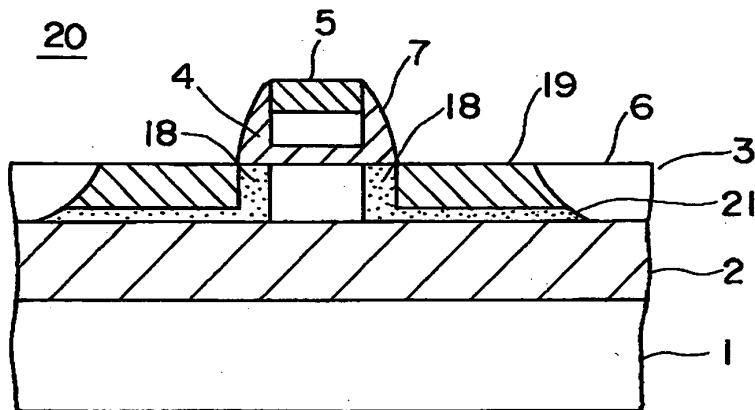
3、53	SOI層
8、18、58	高濃度拡散層
9、19、63	CoSi_x ($1 < x < 2$)
10、20	SOI-FET

【書類名】 図面

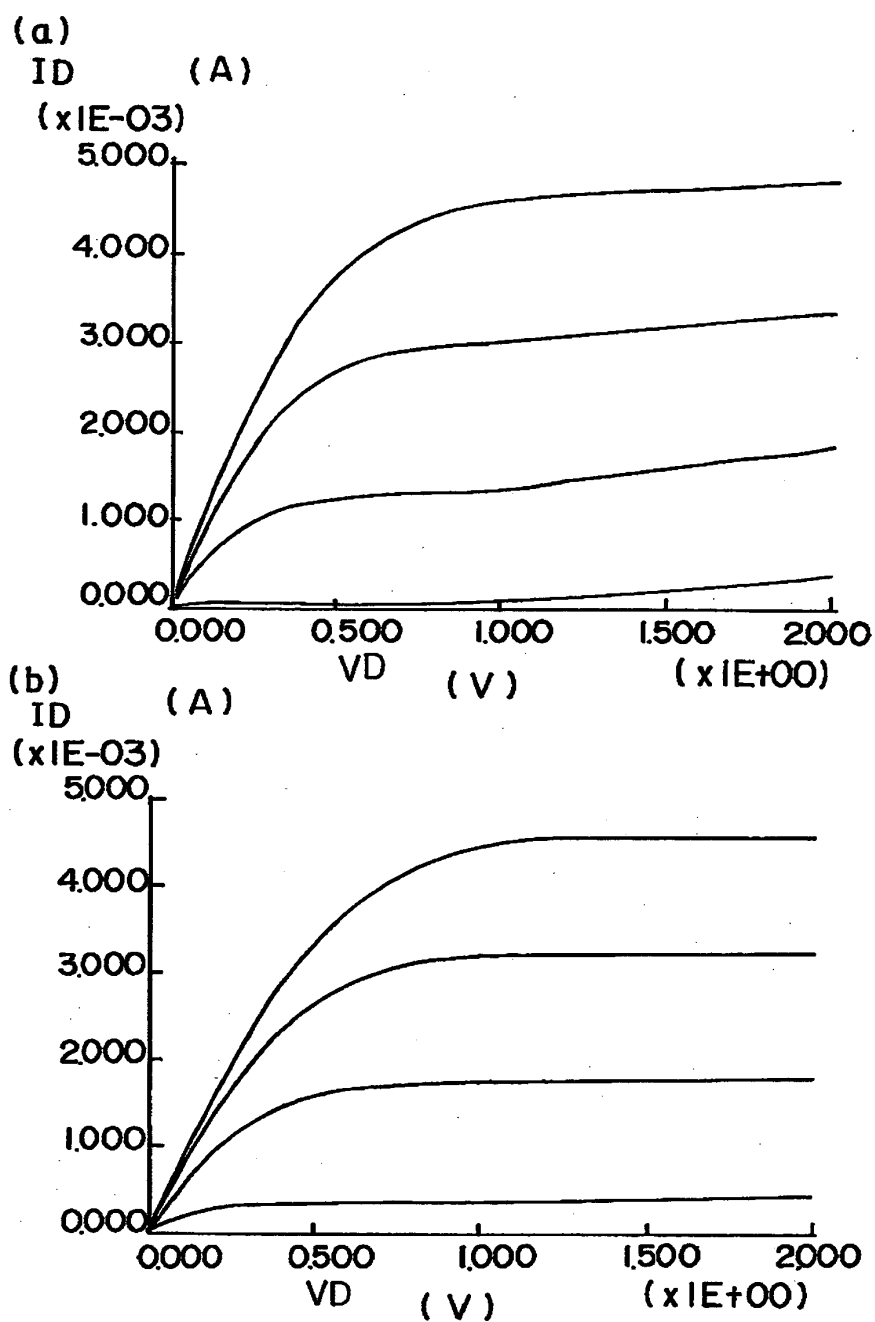
【図1】



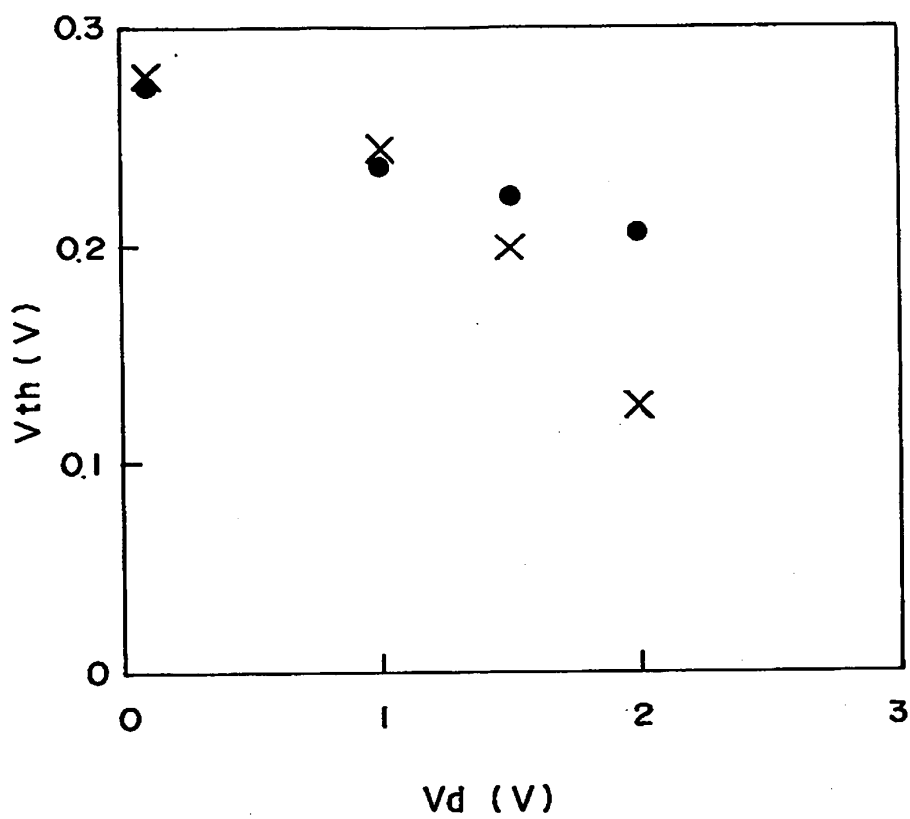
【図2】



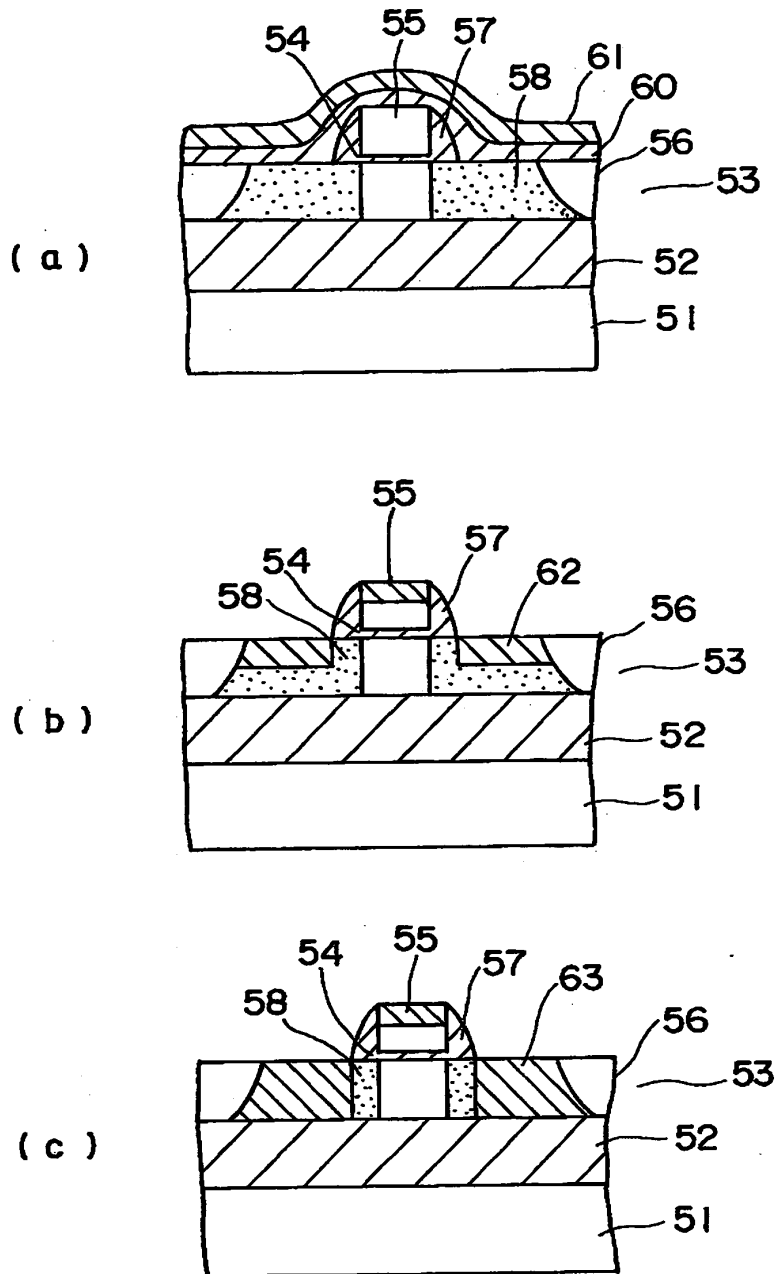
【図3】



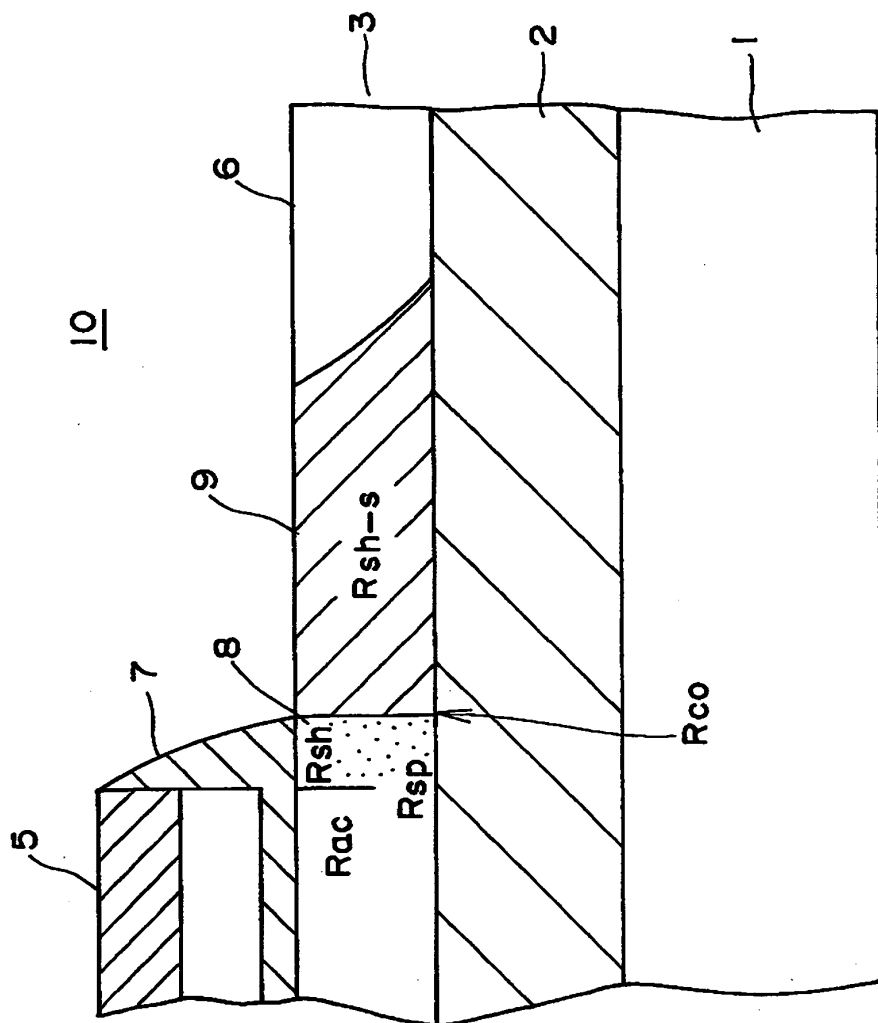
【図4】



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】 電流駆動能力の低下を防止し、デバイスの微細化を制限することのない電界効果トランジスタを提供する。

【解決手段】 本発明のSOI-FET10は、シリコン層1、絶縁層2、SOI層3からなる、所謂、SOI基板上に形成され、サイドウォール7の下に形成された高濃度拡散層8以外の拡散層部分は、全て、 $\text{C}_0\text{Si}_x\text{N}_9$ ($1 < x < 2$) としたものである。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社